



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0012066
Application Number

출 원 년 월 일 : 2003년 02월 26일
Date of Application FEB 26, 2003

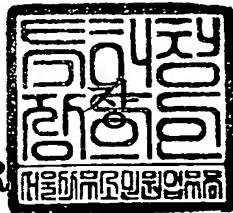
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 01 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.02.26
【발명의 명칭】	블록 소거/프로그램 정보를 저장하기 위한 상태 셀 들의 어레이를 포함한 낸드 플래시 메모리 장치
【발명의 영문명칭】	NAND-TYPE FLASH MEMORY DEVICE HAVING ARRAY OF STATUS CELLS FOR STORING BLOCK ERASE/PROGRAM INFORMATION
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이진엽
【성명의 영문표기】	LEE, JIN YUB
【주민등록번호】	700212-1011313
【우편번호】	137-030
【주소】	서울특별시 서초구 잠원동 신반포 4차APT 207동 904호
【국적】	KR
【발명자】	
【성명의 국문표기】	윤동규
【성명의 영문표기】	YOUN, DONG-KYU
【주민등록번호】	740115-1063410
【우편번호】	425-022

1020030012066

출력 일자: 2003/9/5

【주소】	경기도 안산시 고잔2동 주공8단지아파트 805동 406호
【국적】	KR
【발명자】	
【성명의 국문표기】	박민건
【성명의 영문표기】	PARK,MIN-GUN
【주민등록번호】	770710-1914216
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 1032-1 B05호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	5 면 5,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	7 항 333,000 원
【합계】	367,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

여기에서 개시되는 불 휘발성 반도체 메모리 장치는 복수 개의 상태 셀들을 가지며, 상기 메모리 블록들의 소거/프로그램 상태들을 나타내는 데이터를 저장하는 상태 셀 어레이를 포함한다. 데이터 발생 회로는 데이터 입력 명령에 응답하여 선택된 메모리 블록의 프로그램 상태를 나타내는 데이터를 생성하고, 블록 소거 셋업 명령에 응답하여 선택된 메모리 블록의 소거 상태를 나타내는 데이터를 생성한다. 신호 발생 회로는 소거 명령과 프로그램 명령 중 하나에 응답하여 블록 상태 쓰기 인에이블 신호와 클록 신호를 발생한다. 선택 회로는 상기 선택된 메모리 블록의 블록 어드레스에 응답하여 상기 상태 셀 어레이의 상태 셀들 중 적어도 하나를 선택한다. 쓰기 회로는 프로그램 또는 소거 동작시 상기 클록 신호에 응답하여 상기 데이터 발생 회로로부터의 데이터를 입력받고, 상기 선택된 상태 셀에 상기 입력된 데이터를 기입한다. 제어 회로는 상기 제 1 신호 발생 회로로부터의 블록 상태 쓰기 인에이블 신호에 응답하여 동작하며, 선택된 메모리 블록의 소거/프로그램 동작이 수행될 때 상기 쓰기 회로에 입력된 데이터가 선택된 상태 셀에 저장되도록 상기 쓰기 회로를 제어한다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

블록 소거/프로그램 정보를 저장하기 위한 상태 셀들의 어레이를 포함한 낸드 플래시 메모리 장치{NAND-TYPE FLASH MEMORY DEVICE HAVING ARRAY OF STATUS CELLS FOR STORING BLOCK ERASE/PROGRAM INFORMATION}

【도면의 간단한 설명】

도 1은 본 발명에 따른 낸드 플래시 메모리 장치를 개략적으로 보여주는 블록도;

도 2는 본 발명의 바람직한 실시예에 따른 도 1에 도시된 커맨드 로직을 보여주는 블록도;

도 3 및 도 4는 본 발명에 따른 낸드 플래시 메모리 장치의 블록 상태 쓰기 동작을 설명하기 위한 태이밍도들; 그리고

도 5는 본 발명에 따른 낸드 플래시 메모리 장치의 블록 상태 읽기 동작을 설명하기 위한 태이밍도이다.

*** 도면의 주요 부분에 대한 부호 설명 ***

100 : 낸드 플래시 메모리 장치 110 : 메모리 셀 어레이

120, 180 : 디코더 회로 130 : 페이지 버퍼 회로

140, 210 : 제어 회로 150 : 출력 회로

160 : 커맨드 로직 170 : 상태 셀 어레이

190 : 읽기 회로 200 : 쓰기 회로

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 낸드 플래시 메모리 장치에 관한 것이다.
- <12> 플래시 메모리 장치들과 같은 불 휘발성 메모리들은 이 분야에 잘 알려져 있다. 일반적으로, 낸드 플래시 메모리 장치에 있어서, 데이터를 저장하기 위한 메모리 셀 어레이에는 복수 개의 메모리 블록들을 포함하며, 각 메모리 블록은 복수 개의 페이지들의 메모리 셀들로 구성된다. 각 메모리 블록의 메모리 셀들은 동시에 소거된다. 낸드 플래시 메모리 장치는 대용량의 데이터를 저장할 수 있는 반면에 상당한 프로그램 시간을 요구한다.
- <13> 낸드 플래시 메모리 장치 및 그것의 프로그램 방법은 U.S. Patent No. 6,061,270에 'Method for programming a non-volatile memory device with program disturb control'라는 제목으로 그리고 U.S. Patent No. 6,335,881에 'Method for programming a flash memory device'라는 제목으로 각각 게재되어 있다. 낸드 플래시 메모리 장치의 소거 방법은 U.S. Patent No. 6,370,062에 'NAND-type flash memory device and method of operating the same'라는 제목으로 게재되어 있다.
- <14> 낸드 플래시 메모리 장치의 임의의 메모리 블록에 데이터를 프로그램하고자 하는 경우, 외부 제어 유니트 (예를 들면, 메모리 컨트롤러, 마이크로컨트롤러,

등등)는 프로그램 동작을 수행하기 전에 먼저 선택된 메모리 블록의 소거 또는 프로그램 상태를 점검한다. 선택된 메모리 블록이 소거 상태를 가지면, 데이터는 선택된 메모리 블록 내에 잘 알려진 방법으로 프로그램된다. 만약 선택된 메모리 블록이 프로그램 상태를 가지면, 데이터는 선택된 메모리 블록 내에 프로그램되지 않는다.

<15> 잘 알려진 바와 같이, 낸드 플래시 메모리 장치는 상당히 긴 읽기 시간을 필요로 하며, 이는 낸드 플래시 메모리 장치의 전반적인 프로그램 시간 (또는 동작 속도)이 증가되게 한다. 여기서, 전반적인 프로그램 시간은 메모리 블록의 소거/프로그램 상태를 확인하기 위한 시간과 실질적으로 데이터를 프로그램하는 데 필요한 시간의 합이다. 따라서, 그러한 낸드 플래시 메모리 장치가 실장되는 시스템의 동작 속도 역시 저하될 수 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명의 목적은 블록 상태 정보를 저장하는 상태 셀들을 포함하는 낸드 플래시 메모리 장치를 제공하는 것이다.

<17> 본 발명의 다른 목적은 프로그램 시간을 단축시킬 수 있는 낸드 플래시 메모리 장치를 제공하는 것이다.

【발명의 구성 및 작용】

<18> 상술한 제반 목적을 달성하기 위한 본 발명의 특징에 따르면, 복수 개의 메모리 블록들을 갖는 메모리 셀 어레이를 포함하는 낸드 플래시 메모리 장치는 복수 개의 상태 셀들을 가지며, 상기 메모리 블록들의 소거/프로그램 상태들을 나

타내는 데이터를 저장하는 상태 셀 어레이와; 데이터 입력 명령에 응답하여 선택된 메모리 블록의 프로그램 상태를 나타내는 데이터를 생성하고, 블록 소거 셋업 명령에 응답하여 선택된 메모리 블록의 소거 상태를 나타내는 데이터를 생성하는 데이터 발생 회로와; 소거 명령과 프로그램 명령 중 하나에 응답하여 블록 상태 쓰기 인에이블 신호와 클록 신호를 발생하는 제 1 신호 발생 회로와; 상기 선택된 데이터 발생 회로와 함께 상기 상태 셀 어레이의 상태 셀들 중 적어도 하나를 선택하는 선택 회로와; 프로그램 또는 소거 동작시 상기 클록 신호에 응답하여 상기 데이터 발생 회로로부터의 데이터를 입력받고, 상기 선택된 상태 셀에 상기 입력된 데이터를 쓰는 쓰기 회로와; 그리고 상기 제 1 신호 발생 회로로부터의 블록 상태 쓰기 인에이블 신호에 응답하여 동작하며, 선택된 메모리 블록의 소거/프로그램 동작이 수행될 때 상기 쓰기 회로에 입력된 데이터가 선택된 상태 셀에 저장되도록 상기 쓰기 회로를 제어하는 제어 회로를 포함한다.

<19> 바람직한 실시예에 있어서, 상기 상태 셀들은 겹쳐쓰기 가능한 불 휘발성 메모리 셀들이다.

<20> 바람직한 실시예에 있어서, 상기 제 1 신호 발생 회로는 상기 소거 명령에 응답하여 제 1 블록 상태 쓰기 인에이블 신호와 제 1 클록 신호를 발생하는 제 1 신호 발생부와; 상기 프로그램 명령에 응답하여 제 2 블록 상태 쓰기 인에이블 신호와 제 2 클록 신호를 발생하는 제 2 신호 발생부를 포함한다.

<21> 바람직한 실시예에 있어서, 상기 제 1 신호 발생부는 상기 소거 명령을 디코딩하여 블록 상태 쓰기 플래그 신호를 발생하는 디코더와; 쓰기 인에이블 신호

에 응답하여 상기 디코더로부터 상기 블록 상태 쓰기 플래그 신호를 래치하는 래치와; 상기 래치의 출력 신호에 응답하여 상기 제 1 클록 신호를 발생하는 클록 발생기와; 그리고 상기 래치의 출력 신호를 반전시켜 상기 제 1 블록 상태 쓰기 인에이블 신호로서 출력하는 인버터를 포함한다.

<22> 바람직한 실시예에 있어서, 상기 제 2 신호 발생부는 상기 프로그램 명령을 디코딩하여 블록 상태 쓰기 플래그 신호를 발생하는 디코더와; 쓰기 인에이블 신호에 응답하여 상기 디코더로부터 상기 블록 상태 쓰기 플래그 신호를 래치하는 래치와; 상기 래치의 출력 신호에 응답하여 상기 제 2 클록 신호를 발생하는 클록 발생기와; 그리고 상기 래치의 출력 신호를 반전시켜 상기 제 2 블록 상태 쓰기 인에이블 신호로서 출력하는 인버터를 포함한다.

<23> 바람직한 실시예에 있어서, 상기 상태 셀들의 데이터를 읽기 위한 블록 상태 읽기 명령에 응답하여 블록 상태 읽기 인에이블 신호를 발생하는 제 2 신호 발생 회로와; 그리고 소거/프로그램될 메모리 블록의 블록 어드레스에 대응하는 상태 셀로부터 데이터를 읽는 읽기 회로를 더 포함한다.

<24> 바람직한 실시예에 있어서, 상기 제어 회로는 상기 블록 상태 읽기 인에이블 신호에 응답하여 상기 읽기 회로를 제어하며, 상기 읽기 회로에 의해서 읽혀진 데이터는 출력 회로를 통해 외부로 출력된다.

<25> 이하 본 발명의 바람직한 실시예들이 참조 도면들에 의거하여 상세히 설명 될 것이다.

<26> 본 발명에 따른 낸드 플래시 메모리 장치는 선택된 메모리 블록에 데이터를 프로그램하기 이전에 빠른 속도로 선택된 메모리 블록의 소거/프로그램 상태를 나타내는 데이터를 빠른 시간 (낸드 플래시 메모리 장치의 읽기 시간보다 짧은 시간) 내에 외부로 제공하는 것이 가능하다. 또한, 선택된 메모리 블록의 소거 동작이 수행되는 동안, 선택된 메모리 블록의 소거 상태를 나타내는 데이터가 메모리 블록과 별도로 제공되는 상태 셀에 저장된다. 그리고, 선택된 메모리 블록의 프로그램 동작이 수행되는 동안, 선택된 메모리 블록의 프로그램 상태를 나타내는 데이터가 메모리 블록과 별도로 제공되는 상태 셀에 저장된다. 이는 이후 상세히 설명될 것이다.

<27> 도 1은 본 발명에 따른 낸드 플래시 메모리 장치를 개략적으로 보여주는 블록도이다.

<28> 도 1을 참조하면, 본 발명에 따른 낸드 플래시 메모리 장치 (100)는 메모리 셀 어레이 (110)를 포함하며, 메모리 셀 어레이 (110)는 복수 개의 메모리 블록들 (BLOCK₀-BLOCK_m)로 구성된다. 메모리 블록들 (BLOCK₀-BLOCK_m) 각각은 복수 개의 페이지들 (또는 워드 라인들)을 포함하며, 각 페이지는 복수 개의 메모리 셀들로 구성된다. 각 열의 메모리 셀들은 낸드 스트링 (NAND string)을 구성한다. 디코더 회로 (120)는 외부로부터 제공되는 어드레스에 응답하여 메모리 블록 및 그것의 페이지를 선택한다. 페이지 버퍼 회로 (130)는 제어 회로 (140)에 의해서 제어되며, 읽기 동작시 선택된 메모리 블록의 선택된 페이지의 메모리 셀들로부터 데이터를 읽는다. 그렇게 읽혀진 데이터는 출력 회로 (150)를 통해 외부로 출력된다. 페이지 버퍼 회로 (130)는 프로그램 동작시 출력 회로 (150)를 통해 입

력되는 데이터를 임시로 저장하고, 로드된 데이터는 제어 회로 (140)의 제어에 따라 페이지 버퍼 회로 (130)를 통해 선택된 페이지의 메모리 셀들에 프로그램한다. 커맨드 로직 (160)은 외부로부터의 커맨드 및 제어 신호들 (nCE, CLE, ALE, nWE, nRE)을 입력받고, 입력 커맨드에 따라 제어 회로 (140)가 페이지 버퍼 회로 (130)의 동작을 제어하게 한다.

<29> 본 발명에 따른 낸드 플래시 메모리 장치 (100)는 상태 셀 어레이 (170)를 더 포함하며, 상태 셀 어레이 (170)는 메모리 셀 어레이 (110)의 메모리 블록들 (BLOCK₀-BLOCK_m)에 대한 소거/프로그램 상태를 나타내는 데이터를 저장한다. 상태 셀 어레이 (170)는 복수 개의 불휘발성 상태 셀들을 포함하며, 불휘발성 상태 셀들은 겹쳐쓰기 가능한 메모리 셀들 (overwritable memory cells)로 구성된다. 상태 셀들은 선택된 메모리 블록으로부터 데이터를 읽는 시간보다 짧은 읽기 시간을 갖는 메모리 셀들로 구성된다.

<30> 계속해서 도 1을 참조하면, 본 발명에 따른 낸드 플래시 메모리 장치 (100)는 디코더 회로 (180), 읽기 회로 (190), 쓰기 회로 (200), 그리고 제어 회로 (210)를 더 포함한다.

<31> 디코더 회로 (180)는 메모리 블록을 선택하기 위한 블록 어드레스에 응답하여 상태 셀 어레이 (170)의 상태 셀들 중 적어도 하나를 선택한다. 읽기 회로 (190)는 커맨드 로직 (160)으로부터의 블록 상태 읽기 인에이블 신호 (BSRE)에 응답하여 동작하며, 선택된 상태 셀로부터 데이터를 읽는다. 그렇게 읽혀진 데이터는 블록 어드레스에 대응하는 메모리 블록의 소거/프로그램 상태를 나타내는 데이터이다. 읽기 회로 (190)로부터의 데이터는 출력 회로 (150)를 통해 외부로

출력된다. 쓰기 회로 (200)는 커맨드 로직 (160)으로부터의 클록 신호들 (CLOCK1, CLOCK2)과 데이터를 입력받는다. 예를 들면, 선택된 메모리 블록의 소거 동작이 수행될 때, 쓰기 회로 (200)는 클록 신호 (CLOCK1)의 활성화에 응답하여 커맨드 로직 (160)으로부터의 데이터 (선택된 메모리 블록의 소거 상태를 나타냄)를 입력받는다. 그리고, 선택된 메모리 블록의 프로그램 동작이 수행될 때, 쓰기 회로 (200)는 클록 신호 (CLOCK2)의 활성화에 응답하여 커맨드 로직 (160)으로부터의 데이터 (선택된 메모리 블록의 프로그램 상태를 나타냄)를 입력받는다. 제어 회로 (210)는 커맨드 로직 (160)으로부터의 블록 상태 쓰기 인에이블 신호들 (STATUS_CELL_WE1, STATUS_CELL_WE2)에 응답하여 쓰기 회로 (200)의 동작을 제어한다.

<32> 본 발명에 따르면, 메모리 셀 어레이 (110)의 선택된 메모리 블록이 소거되는 동안, 커맨드 로직 (160)에서 생성된 선택된 메모리 블록의 소거 상태 정보는 상태 셀 어레이 (170)에 저장된다. 마찬가지로, 메모리 셀 어레이 (110)의 선택된 메모리 블록이 프로그램되는 동안, 커맨드 로직 (160)에서 생성된 선택된 메모리 블록의 프로그램 상태 정보는 상태 셀 어레이 (170)에 저장된다. 임의의 메모리 블록에 데이터를 프로그램하는 경우, 먼저, 메모리 블록의 소거/프로그램 상태 정보가 상태 셀 어레이 (170)로부터 읽혀지며, 메모리 블록의 프로그램 동작은 읽혀진 결과에 따라 결정된다. 예를 들면, 현재 입력된 블록 어드레스에 대응하는 메모리 블록이 소거 상태인 경우, 메모리 블록에 대한 프로그램 동작이 수행될 것이다. 현재 입력된 블록 어드레스에 대응하는 메모리 블록이 프로그램 상태인 경우, 다른 메모리 블록에 대한 블록 상태 읽기 동작이 수행될 것이다.

<33> 도 2는 본 발명의 바람직한 실시예에 따른 도 1에 도시된 커맨드 로직을 보여주는 블록도이다.

<34> 본 발명에 따른 낸드 플래시 메모리 장치에 있어서, 블록 소거 동작을 수행하기 위해서는, 60H 커맨드, 어드레스, D0H 커맨드, 그리고 70H 커맨드가 정해진 타이밍에 따라 낸드 플래시 메모리 장치 (100)에 입력된다. 60H 커맨드는 블록 소거 셋업 커맨드 (block erase setup command)를 나타내고, D0H 커맨드는 소거 명령 (erase command)를 나타내며, 70H 커맨드는 읽기 상태 커맨드 (read status command)를 나타낸다. 프로그램 동작을 수행하기 위해서는, 80H 커맨드, 어드레스 및 데이터, 10H, 그리고 70H 커맨드가 정해진 타이밍에 따라 낸드 플래시 메모리 장치 (100)에 입력된다. 80H 커맨드는 연속 데이터 입력 커맨드 (sequential data input command)를 나타내고, 10H 커맨드는 프로그램 커맨드 (program command)를 나타낸다. 블록 상태 읽기 동작을 수행하기 위해서는, 71H 커맨드와 어드레스가 정해진 타이밍에 따라 낸드 플래시 메모리 장치 (100)에 입력된다. 71H 커맨드는 블록 상태 읽기 커맨드 (block status read command)를 나타내며, 어드레스는 프로그램될 메모리 블록을 지정하기 위한 블록 어드레스를 나타낸다.

<35> 도 2를 참조하면, 본 발명에 따른 커맨드 로직 (160)은 데이터 발생 회로 (300), 제 1 내지 제 3 디코더들 (310, 320, 330), D 플립-플롭들 (DFF1, DFF2), 인버터들 (INV1, INV2), 그리고 펄스 발생기들 (340, 350)을 포함한다.

<36> 데이터 발생 회로 (300)는 블록 소거 셋업 커맨드 (60H)의 입력에 응답하여 '1'의 데이터를 발생하고, 연속 데이터 입력 커맨드 (80H)의 입력에 응답하여 '0'

의 데이터를 발생한다. '1'의 데이터는 프로그램될 메모리 블록이 소거 상태임을 의미하고, '0'의 데이터는 프로그램될 메모리 블록이 프로그램 상태임을 의미한다. 제 1 디코더 (310)는 블록 상태 읽기 커맨드 (71H)에 응답하여 블록 상태 읽기 인에이블 신호 (BSRE)를 발생한다.

<37> 제 2 디코더 (320)는 블록 소거 셋업 커맨드 (60H)와 소거 커맨드 (D0H)에 응답하여 블록 상태 쓰기 플래그 신호 (EBSWF)를 발생한다. 예를 들면, 블록 소거 셋업 커맨드 (60H)가 입력되고 그 다음에 소거 커맨드 (D0H)가 입력될 때, 제 2 디코더 (320)는 블록 상태 쓰기 플래그 신호 (EBSWF)를 활성화시킨다. D 플립-플롭 (DFF1)은 클록 신호로서 nWE 신호의 상승 에지에 동기되어 제 2 디코더 (320)의 출력 신호 (EBSWF)를 래치한다. D 플립-플롭 (DFF1)은 리세트 신호로서 nCE 신호의 로우-하이 천이시에 리세트된다. D 플립-플롭 (DFF1)의 출력 신호 (FERASE)는 인버터 (INV1)를 통해 블록 상태 쓰기 인에이블 신호 (STATUS_CELL_WE1)로서 출력된다. 펄스 발생기 (340)는 인버터들 (INV2, INV3), 지연기 (341) (도면에서 'DLY'로 표기됨), 그리고 배타적 OR 게이트 (exclusive OR gate) (G1)로 구성되며, 도면에 도시된 바와 같이 연결되어 있다. 펄스 발생기 (340)는 D 플립-플롭 (DFF1)의 출력 신호 (FERASE)의 로우-하이 천이에 응답하여 액티브 로우 펄스의 클록 신호 (CLOCK1)를 발생한다.

<38> 제 3 디코더 (330)는 연속 데이터 입력 커맨드 (80H)와 프로그램 커맨드 (10H)에 응답하여 블록 상태 쓰기 플래그 신호 (PBSWF)를 발생한다. 예를 들면, 연속 데이터 입력 커맨드 (80H)가 입력되고 그 다음에 프로그램 커맨드 (10H)가 입력

될 때, 제 3 디코더 (330)는 블록 상태 쓰기 플래그 신호 (PBSWF)를 활성화시킨다. D 플립-플롭 (DFF2)은 클록 신호로서 nWE 신호의 상승 에지에 동기되어 제 3 디코더 (330)의 출력 신호 (PBSWF)를 래치한다. D 플립-플롭 (DFF2)은 리세트 신호로서 nCE 신호의 로우-하이 천이시에 리세트된다. D 플립-플롭 (DFF2)의 출력 신호 (FPROGRAM)는 인버터 (INV4)를 통해 블록 상태 쓰기 인에이블 신호 (STATUS_CELL_WE2)로서 출력된다. 펄스 발생기 (350)는 인버터들 (INV5, INV6), 지연기 (351) (도면에서 'DLY'로 표기됨), 그리고 배타적 OR 게이트 (G2)로 구성되며, 도면에 도시된 바와 같이 연결되어 있다. 펄스 발생기 (350)는 D 플립-플롭 (DFF2)의 출력 신호 (FPROGRAM)의 로우-하이 천이에 응답하여 액티브 로우 펄스의 클록 신호 (CLOCK2)를 발생한다.

<39> 도 3은 본 발명에 따른 낸드 플래시 메모리 장치의 소거 동작을 설명하기 위한 타이밍도이다.

<40> 임의의 메모리 블록을 소거하기 위해서는, 도 3에 도시된 바와 같이, 60H 커맨드, 어드레스, 그리고 DOH 커맨드가 정해진 타이밍에 따라 낸드 플래시 메모리 장치 (100)에 입력된다. 60H 커맨드 및 DOH 커맨드가 입력됨에 따라, 제어 회로 (140)는 커맨드 로직 (160)의 제어에 따라 선택된 메모리 블록의 소거 동작이 수행될 수 있도록 페이지 버퍼 회로 (130)와 고전압 발생 회로 (미도시됨)을 제어한다. 이는 앞서 언급된 특허들에 상세히 게재되어 있으며, 그것에 대한 설명은 그러므로 생략될 것이다.

<41> 선택된 메모리 블록에 대한 소거 동작이 수행된 후, 선택된 메모리 블록이

올바르게 소거되었는 지의 여부가 판별될 것이다. 그러한 판별은, 이 분야에 잘 알려진 바와 같이, 읽기 상태 커맨드 (70H)의 입력에 따라 입출력 편 (I/O0)을 통해 출력되는 데이터를 통해 수행될 것이다. 선택된 메모리 블록에 대한 소거 동작이 수행되는 동안, 선택된 메모리 블록의 상태 정보가 다음과 같은 절차를 통해 상태 셀 어레이 (170)에 쓰여질 것이다.

<42> 커맨드 로직 (160)의 데이터 발생 회로 (300)는 60H 커맨드의 입력에 응답하여 선택된 메모리 블록이 소거됨을 나타내는 '1'의 데이터 (STATUS_DATA)를 생성한다. 소거될 메모리 블록에 대응하는 블록 어드레스에 따라 상태 셀 어레이 (170)의 상태 셀이 디코더 회로 (180)에 의해서 선택된다. 커맨드 로직 (160)의 제 2 디코더 (320)는 60H 커맨드의 입력 후에 D0H 커맨드의 입력에 응답하여 블록 상태 쓰기 플래그 신호 (EBSWF)를 하이로 활성화시킨다. D 플립-플롭 (DFF1)은 nWE 신호의 로우-하이 천이에 응답하여 제 2 디코더 (320)의 출력 신호 (EBSWF)를 래치한다. 펄스 발생기 (340)는 D 플립-플롭 (DFF1)의 출력 신호 (FERASE)의 로우-하이 천이에 응답하여 액티브 로우 펄스의 클록 신호 (CLOCK1)를 발생한다. 쓰기 회로 (200)는 클록 신호 (CLOCK1)에 응답하여 데이터 발생 회로 (300)로부터의 데이터를 입력받는다. 이와 동시에, D 플립-플롭 (DFF1)에 래치된 신호는 인버터 (INV1)를 통해 블록 상태 쓰기 인에이블 신호 (STATUS_CELL_WE1)로서 출력된다. 쓰기 회로 (200)는 블록 상태 쓰기 인에이블 신호 (STATUS_CELL_WE1)에 응답하여 입력된 데이터를 상태 셀 어레이 (170)의 선택된 상태 셀에 기입한다. 이후, nCE 신호가 로우 레벨에서 하이 레벨로 천이할 때, 신호들 (EBSWF, FERASE, STATUS_CELL_WE1)은 순차적으로 비활성화된다.

<43> 도 4는 본 발명에 따른 낸드 플래시 메모리 장치의 프로그램 동작을 설명하기 위한 타이밍도이다.

<44> 임의의 메모리 블록을 프로그램하기 위해서는, 도 4에 도시된 바와 같이, 80H 커맨드, 어드레스 및 데이터, 그리고 10H 커맨드가 정해진 타이밍에 따라 낸드 플래시 메모리 장치 (100)에 입력된다. 80H 커맨드 및 10H 커맨드가 입력됨에 따라, 제어 회로 (140)는 커맨드 로직 (160)의 제어에 따라 선택된 메모리 블록의 프로그램 동작이 수행될 수 있도록 페이지 버퍼 회로 (130)와 고전압 발생 회로 (미도시됨)을 제어한다. 이는 앞서 언급된 특허들에 상세히 게재되어 있으며, 그것에 대한 설명은 그러므로 생략될 것이다.

<45> 선택된 메모리 블록에 대한 프로그램 동작이 수행된 후, 선택된 메모리 블록이 올바르게 프로그램되었는지의 여부가 판별될 것이다. 그러한 판별은, 이 분야에 잘 알려진 바와 같이, 읽기 상태 커맨드 (70H)의 입력에 따라 입출력 핀 (I/O0)을 통해 출력되는 데이터를 통해 수행될 것이다. 선택된 메모리 블록에 대한 프로그램 동작이 수행되는 동안, 선택된 메모리 블록의 블록 상태 정보는 다음과 같은 절차를 통해 상태 셀 어레이 (170)에 쓰여질 것이다.

<46> 커맨드 로직 (160)의 데이터 발생 회로 (300)는 80H 커맨드의 입력에 응답하여 선택된 메모리 블록이 프로그램됨을 나타내는 '0'의 데이터 (STATUS_DATA)를 생성한다. 프로그램될 메모리 블록에 대응하는 블록 어드레스에 따라 상태 셀 어레이 (170)의 상태 셀이 디코더 회로 (180)에 의해서 선택된다. 커맨드 로직 (160)의 제 3 디코더 (330)는 80H 커맨드의 입력 후에 10H 커맨드의 입력에 응답하여 블록 상태 쓰기 플래그 신호 (PBSWF)를 하이로 활성화시킨다. D 플립-플롭

(DFF2)은 nWE 신호의 로우-하이 천이에 응답하여 제 3 디코더 (330)의 출력 신호 (PBSWF)를 래치한다. 펄스 발생기 (350)는 D 플립-플롭 (DFF2)의 출력 신호 (FPROGRAM)의 로우-하이 천이에 응답하여 액티브 로우 펄스의 클록 신호 (CLOCK2)를 발생한다. 쓰기 회로 (200)는 클록 신호 (CLOCK2)에 응답하여 데이터 발생 회로 (300)로부터의 데이터를 입력받는다. 이와 동시에, D 플립-플롭 (DFF2)에 래치된 신호는 인버터 (INV4)를 통해 블록 상태 쓰기 인에이블 신호 (STATUS_CELL_WE2)로서 출력된다. 쓰기 회로 (200)는 블록 상태 쓰기 인에이블 신호 (STATUS_CELL_WE2)에 응답하여 입력된 데이터를 상태 셀 어레이 (170)의 선택된 상태 셀에 기입한다. 이후, nCE 신호가 로우 레벨에서 하이 레벨로 천이할 때, 신호들 (PBSWF, FPROGRAM, STATUS_CELL_WE2)은 순차적으로 비활성화된다.

<47> 도 5는 본 발명에 따른 낸드 플래시 메모리 장치의 블록 상태 읽기 동작을 설명하기 위한 타이밍도이다.

<48> 상태 셀 어레이 (170)에 저장된 블록 상태 정보는 임의의 메모리 블록을 프로그램하고자 하기 전에 액세스된다. 즉, 메모리 블록을 프로그램하고자 하는 경우, 먼저, 메모리 블록이 소거 상태인지 프로그램 상태인지의 여부를 판별하여야 한다. 이를 위해서, 70H 커맨드가 낸드 플래스 메모리 장치 (100)에 입력된다.

71H 커맨드가 입력됨에 따라, 커맨드 로직 (160)의 제 1 디코더 (310)는 71H 커맨드의 입력에 응답하여 블록 상태 읽기 인에이블 신호 (BSRE)를 활성화시킨다.

그 다음

에, 디코더 회로 (180)는 외부로부터의 블록 어드레스에 응답하여 상태 셀을 선택하며, 읽기 회로 (190)는 선택된 상태 셀의 블록 상태 정보를 읽는다. 출력 회로 (150)는 읽기 회로 (190)로부터 블록 상태 데이터를 입력받고, nRE 신호에 동기되어 블록 상태 데이터를 외부로 출력한다.

<49> 낸드 플래시 메모리 장치 (100)로부터 출력된 데이터가 선택된 메모리 블록이 소거 상태임을 나타낼 때, 선택된 메모리 블록의 프로그램 동작이 수행될 것이다. 만약, 낸드 플래시 메모리 장치 (100)로부터 출력된 데이터가 선택된 메모리 블록이 프로그램 상태임을 나타낼 때, 선택된 메모리 블록의 프로그램 동작은 수행되지 않는다. 다른 메모리 블록에 대한 프로그램 동작이 수행될 것이다. 이 경우에도, 다른 메모리 블록이 소거 상태인지 아니면 프로그램 상태인지 여부를 판별하기 위해서 블록 상태 읽기 동작이 수행되어야 한다.

<50> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<51> 상술한 바와 같이, 메모리 블록들의 소거/프로그램 상태 정보를 저장하는 별도의 상태 셀 어레이 (또는 블록 상태 정보 테이블)를 구비함으로써, 보다 빠르게 프로그램 동작이 수행될 수 있다.

【특허청구범위】**【청구항 1】**

복수 개의 메모리 블록들을 갖는 메모리 셀 어레이를 포함하는 낸드 플래시

메모리 장치에 있어서:

복수 개의 상태 셀들을 가지며, 상기 메모리 블록들의 소거/프로그램 상태

들을 나타내는 데이터를 저장하는 상태 셀 어레이와;

데이터 입력 명령에 응답하여 선택된 메모리 블록의 프로그램 상태를 나타

내는 데이터를 생성하고, 블록 소거 셋업 명령에 응답하여 선택된 메모리 블록의

소거 상태를 나타내는 데이터를 생성하는 데이터 발생 회로와;

소거 명령과 프로그램 명령 중 하나에 응답하여 블록 상태 쓰기 인에이블

신호와 클록 신호를 발생하는 제 1 신호 발생 회로와;

상기 선택된 메모리 블록의 블록 어드레스에 응답하여 상기 상태 셀 어레이

의 상태 셀들 중 적어도 하나를 선택하는 선택 회로와;

프로그램 또는 소거 동작시 상기 클록 신호에 응답하여 상기 데이터 발생

회로로부터의 데이터를 입력받고, 상기 선택된 상태 셀에 상기 입력된 데이터를

쓰는 쓰기 회로와; 그리고

상기 제 1 신호 발생 회로로부터의 블록 상태 쓰기 인에이블 신호에 응답하

여 동작하며, 선택된 메모리 블록의 소거/프로그램 동작이 수행될 때 상기 쓰기

회로에 입력된 데이터가 선택된 상태 셀에 저장되도록 상기 쓰기 회로를 제어하

는 제어 회로를 포함하는 것을 특징으로 하는 낸드 플래시 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 상태 셀들은 겹쳐쓰기 가능한 불 휘발성 메모리 셀들인 것을 특징으로 하는 낸드 플래시 메모리 장치.

【청구항 3】

제 1 항에 있어서,

상기 제 1 신호 발생 회로는

상기 소거 명령에 응답하여 제 1 블록 상태 쓰기 인에이블 신호와 제 1 클록 신호를 발생하는 제 1 신호 발생부와;
상기 프로그램 명령에 응답하여 제 2 블록 상태 쓰기 인에이블 신호와 제 2 클록 신호를 발생하는 제 2 신호 발생부를 포함하는 것을 특징으로 하는 낸드 플래시 메모리 장치.

【청구항 4】

제 3 항에 있어서,

상기 제 1 신호 발생부는

상기 소거 명령을 디코딩하여 블록 상태 쓰기 플래그 신호를 발생하는 디코더와;

쓰기 인에이블 신호에 응답하여 상기 디코더로부터 상기 블록 상태 쓰기 플래그 신호를 래치하는 래치와;

상기 래치의 출력 신호에 응답하여 상기 제 1 클록 신호를 발생하는 클록 발생기와; 그리고

상기 래치의 출력 신호를 반전시켜 상기 제 1 블록 상태 쓰기 인에이블 신호로서 출력하는 인버터를 포함하는 것을 특징으로 하는 낸드 플래시 메모리 장치.

【청구항 5】

제 3 항에 있어서,

상기 제 2 신호 발생부는

상기 프로그램 명령을 디코딩하여 블록 상태 쓰기 플래그 신호를 발생하는 디코더와;

쓰기 인에이블 신호에 응답하여 상기 디코더로부터 상기 블록 상태 쓰기 플래그 신호를 래치하는 래치와;

상기 래치의 출력 신호에 응답하여 상기 제 2 클록 신호를 발생하는 클록 발생기와; 그리고

상기 래치의 출력 신호를 반전시켜 상기 제 2 블록 상태 쓰기 인에이블 신호로서 출력하는 인버터를 포함하는 것을 특징으로 하는 낸드 플래시 메모리 장치.

【청구항 6】

제 1 항에 있어서,

상기 상태 셀들의 데이터를 읽기 위한 블록 상태 읽기 명령에 응답하여 블록 상태 읽기 인에이블 신호를 발생하는 제 2 신호 발생 회로와; 그리고 소거/프로그램될 메모리 블록의 블록 어드레스에 대응하는 상태 셀로부터 데이터를 읽는 읽기 회로를 더 포함하는 것을 특징으로 하는 낸드 플래시 메모리 장치.

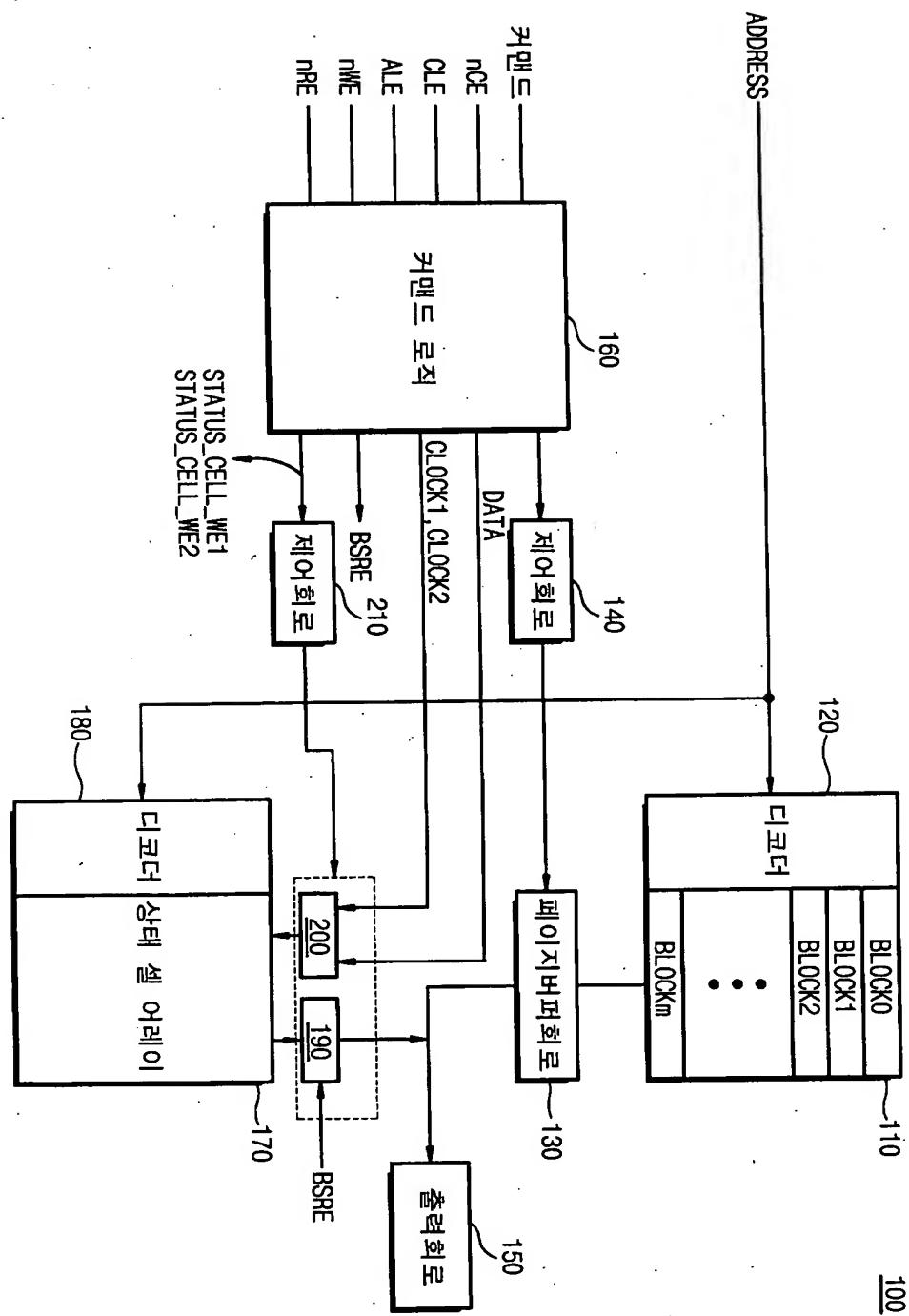
【청구항 7】

제 6 항에 있어서,

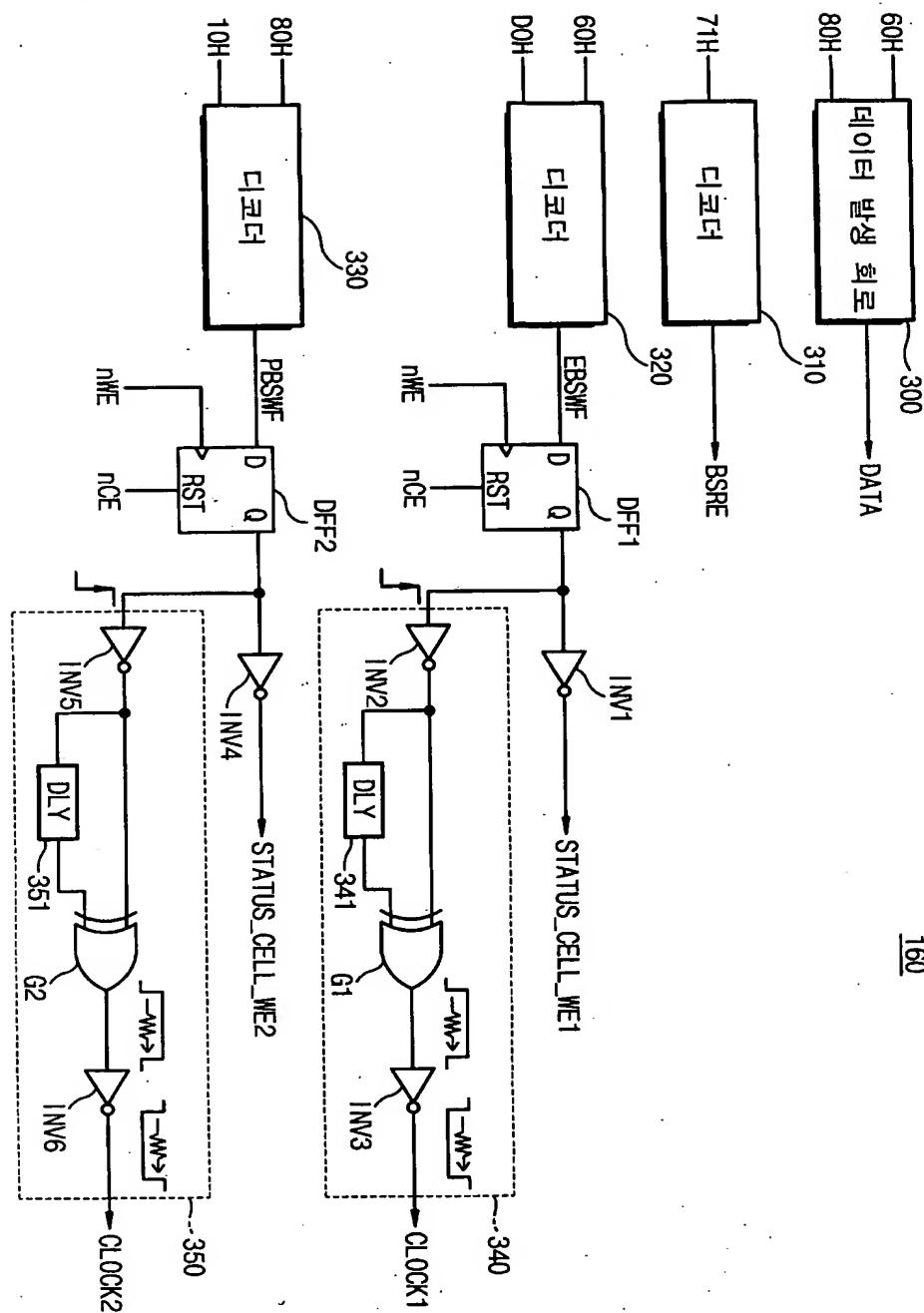
상기 제어 회로는 상기 블록 상태 읽기 인에이블 신호에 응답하여 상기 읽기 회로를 제어하며, 상기 읽기 회로에 의해서 읽혀진 데이터는 출력 회로를 통해 외부로 출력되는 것을 특징으로 하는 낸드 플래시 메모리 장치.

【도면】

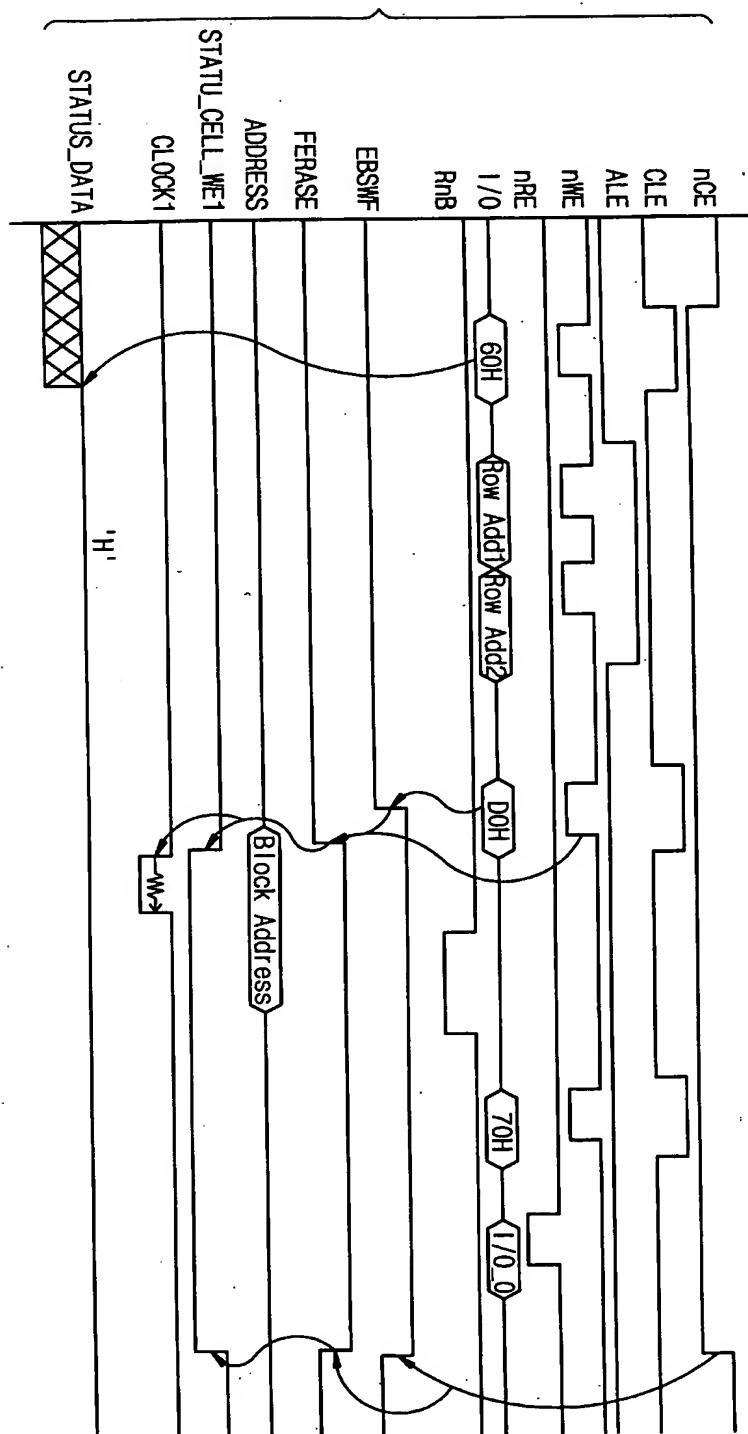
【도 1】



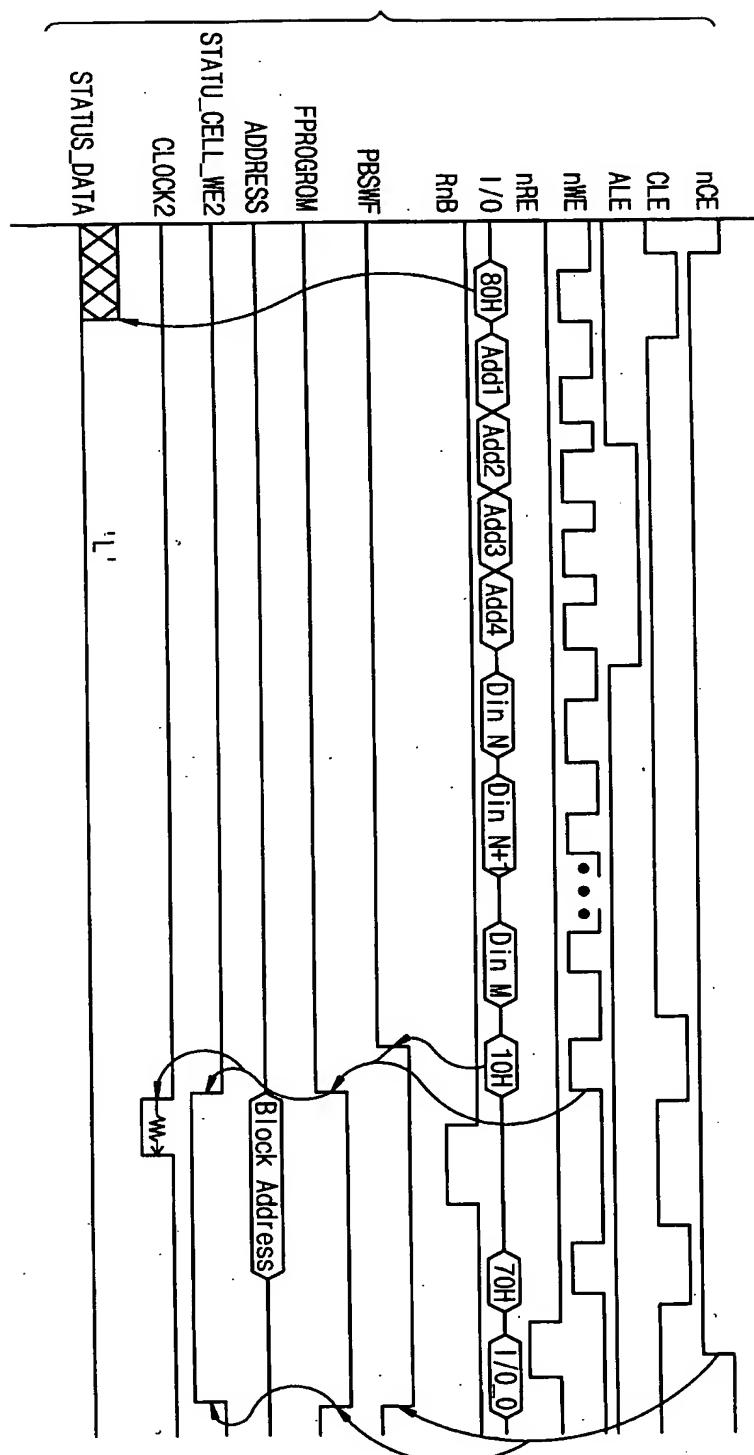
【도 2】



【도 3】



【도 4】



1020030012066

출처 일자: 2003/9/5

【도 5】

